

Hiérarchie de Mémoire: Composants de base

IFT1225

Dép. d'IRO, Université de Montréal
(professeur E. Cerny)

17-oct-99

ift1225

5.1

Plan

- Introduction: Les composants d'un système de mémoire
- Mémoire à accès aléatoire (RAM)
- Organisation de la mémoire principale en modules et planches
- Hiérarchie à deux niveaux
- Mémoire cache
- Mémoire virtuelle
- Le système de mémoire dans un ordinateur

17-oct-99

ift1225

5.2

Introduction

- Mémoire - un tableau de mots, sélection par leur adresse, mais...
- La réalité est plus complexe, il faut considérer:

- Interconnexions
- Chaleur
- Coût
- Taille
- Volatilité
- Temps d'accès
- Taux de transfert
- Fiabilité
- etc....

Type:
SRAM, DRAM,
ROM, PROM,
EPROM, EEPROM,
Flash PROM,
Associative, ...

Hiérarchie de mémoires -
faut équilibrer:

- coût
- vitesse
- capacité
- facilité de programmation

17-oct-99

ift1225

5.3

Interface CPU - mémoire

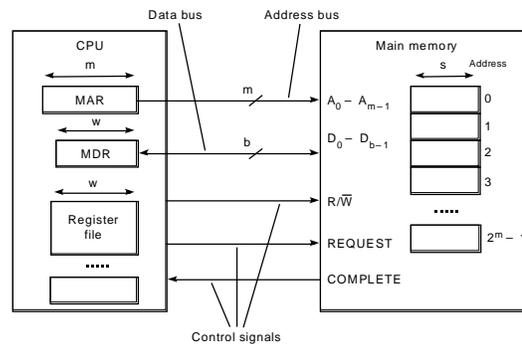
Synchrone:

- Complete pas nécessaire*

Asynchrone

- protocole à 2, 3 ou 4 cycles

(R/nW, Request) peuvent être remplacés par *(R, W)*



Lecture:

- CPU charge *MAR*, et émet $R/nW = 1$ et *Request = 1*
- Mémoire transfère mots dans *MDR*
- Mémoire émet *Complete = 1*

Écriture:

- CPU charge *MAR, MDR*, et émet $R/nW = 0$ et *Request = 1*
- Mémoire écrit contenu de *MDR* à l'adresse qui est dans *MAR*
- Mémoire émet *Complete = 1*

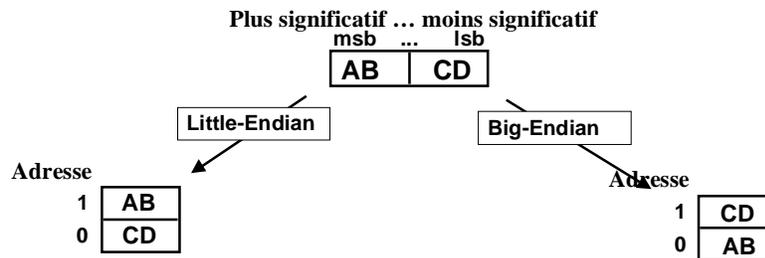
17-oct-99

ift1225

5.4

Rangement des mots en mémoire d'octets

- *Little-Endian vs. Big-Endian*
- Exemple:
un mot à 16 bits $ABCD_{16}$ (en hexadécimal) rangé à l'adresse 0



17-oct-99

ift1225

5.5

Paramètres de performance

<u>Symbole</u>	<u>Definition</u>	<u>Explication</u>
t_a	Temps d'accès	Le temps pour accéder à un mot
t_c	Temps de cycle	Temps de début d'accès au début d'accès suivant
k	Taille de bloc	Nombre des mots par bloc
ω	Débit	Taux de transmission des mots, octets, ...
t_l	Latence	Temps pour accéder au 1er mot d'une séquence
$t_{bl} = t_l + k/\omega$	Temps d'accès de bloc	Temps pour accéder à un bloc de mots entier

Entre cache et mémoire principale, et mémoire principale et disque, le transfert est plutôt en bloc (cache) / trame ou page (virtuelle) des mots

17-oct-99

ift1225

5.6

Hierarchie de memoire

Composant	CPU	Cache	Main Memory	Disk Memory	Tape Memory
Type d'accès	Random access	Random access	Random access	Direct access	Sequential access
Capacité (oct.)	64–1024	8–512 KB	16MB–50GB	1–100 GB	10 TB
Latence	.5–10ns	20 ns	50 ns	10 ms	10 ms–10 s
Taille de bloc	1 mot	16 mots	16 mots	4 KB	4 KB
Débit	Horloge système	8 MB/s	1 MB/s	1 MB/s	1 MB/s
Coût/MB	Élevé	\$500	<\$30	<\$0.20	<\$0.02

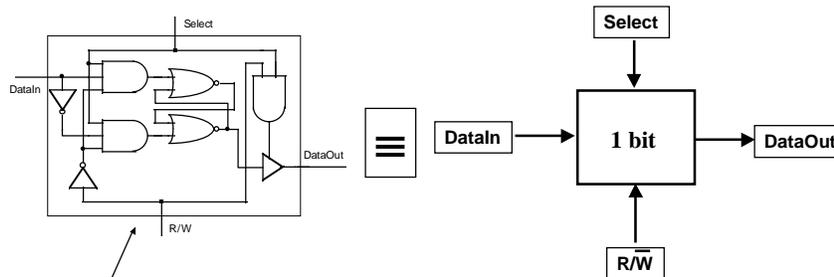
17-oct-99

ift1225

5.7

Cellule de memoire

Structure conceptuelle (1 bit)



Équivalent fonctionnel d'un bit de SRAM (RAM Statique), réalisation est un peu différente

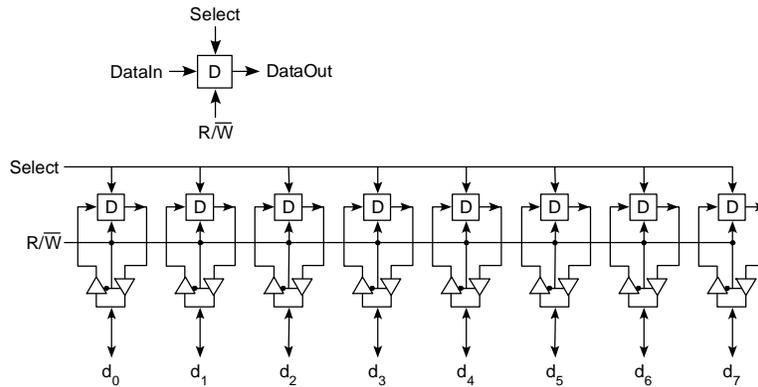
17-oct-99

ift1225

5.8

RAM à 1D statique

Un registre vu comme une RAM à 1 mot



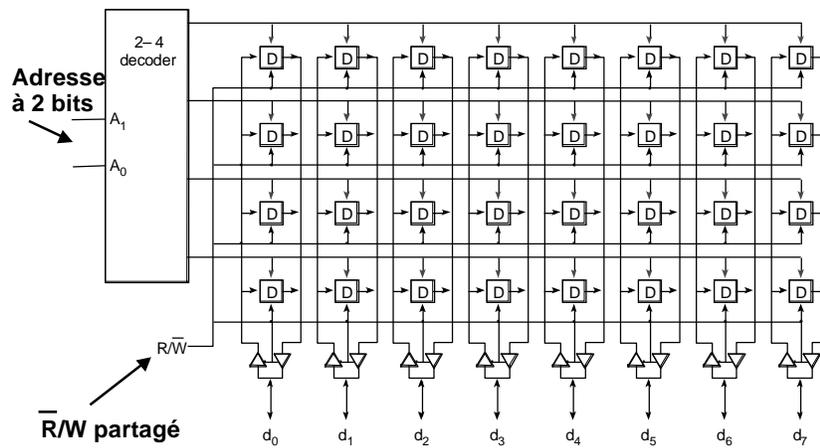
Bus bi-directionnel ou un bus Entrée et un bus Sortie

17-oct-99

ift1225

5.9

RAM à 2D de 4 x 8 bits



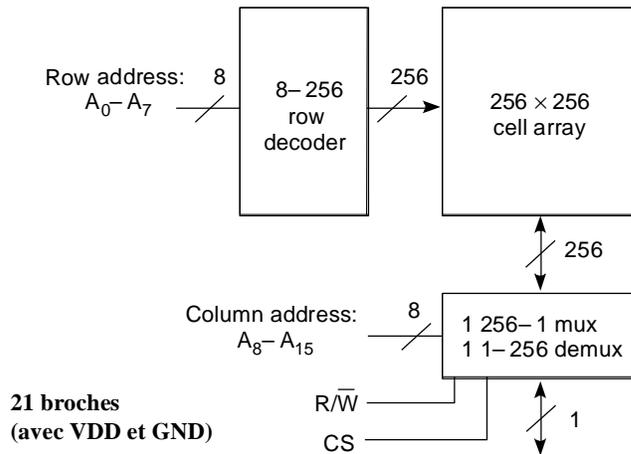
Bus bidirectionnel à 8-bits

17-oct-99

ift1225

5.10

RAM Statique de 64k x 1 bit



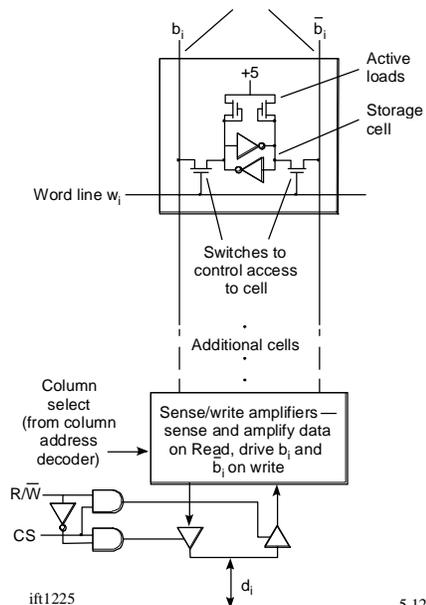
17-oct-99

ift1225

5.11

Structure de SRAM à 6 transistors/bit

CS = Chip Select
Aide a former des mémoire
plus grandes avec plusieurs
puces de RAM

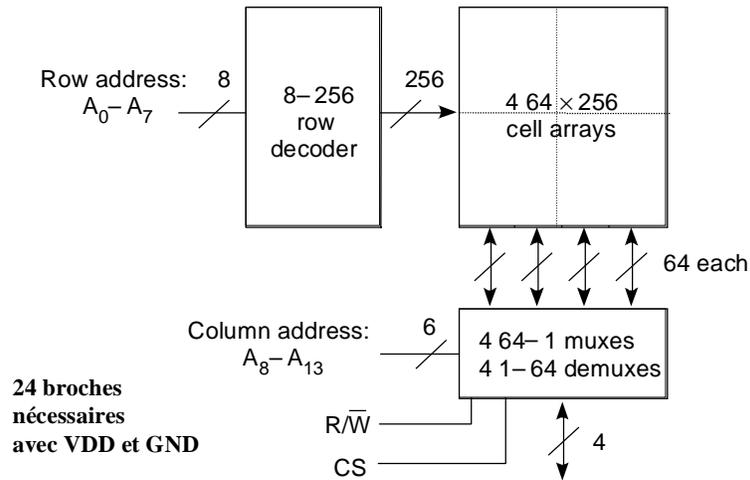


17-oct-99

ift1225

5.12

16k x 4 bits SRAM

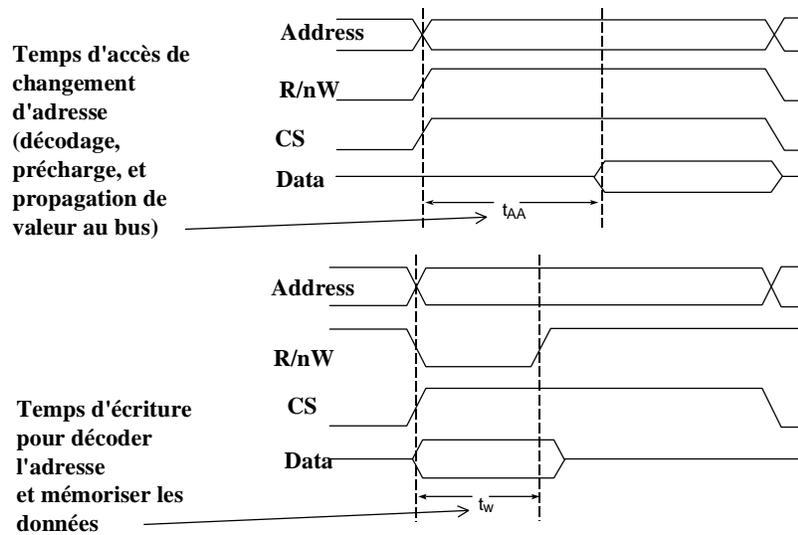


17-oct-99

ift1225

5.13

Protocole d'interface de SRAM



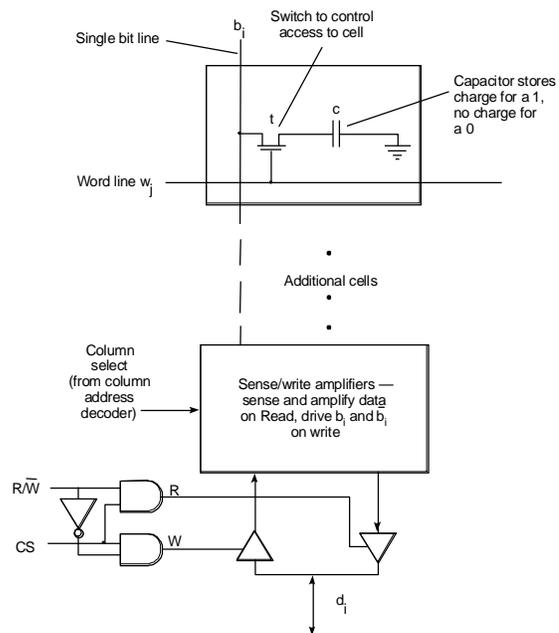
17-oct-99

ift1225

5.14

Structure de mémoire dynamique - DRAM

- Capacitance va décharger en 10 à 15 ms
- Faut réécrire l'info. Périodiquement
- Ecrire: placer les données sur *bit line* et activer *word line*
- Lecture: précharger *bit line*, activer *word line* et amplifier le signal sur *bit line*



17-oct-99

ift1225

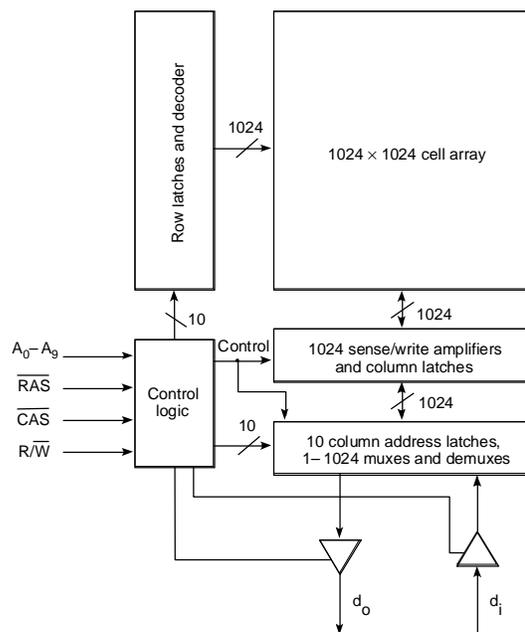
5.15

Organisation de DRAM

- CAS, RAS = *Column, Row Address Select*

- Adresses Rangé/Colonne multiplexées: 17 broches E/S

- CAS utilisé aussi comme CS

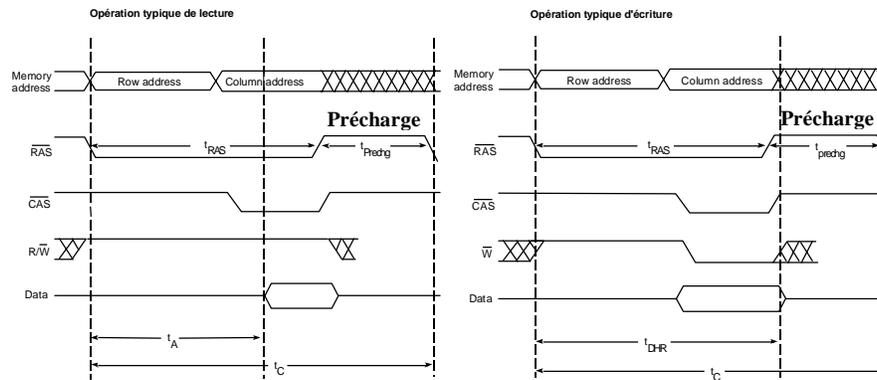


17-oct-99

ift1225

5.16

Protocole sur interface de DRAM



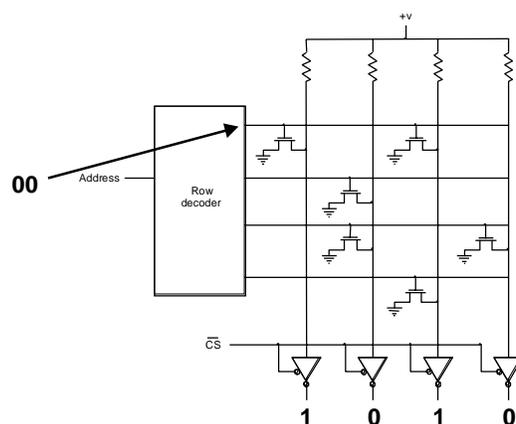
- Rafraîchissement effectué en activant RAS seulement, aucune donnée placée sur les ports de sortie
- CAS avant RAS peut signaler à rafraîchir la rangée pointée par un compteur
- Contrôleur interne de rafraichissement souvent inclus
- Différents modes d'accès possibles: rangée entière, 4-bits
- DRAM Video transfère une rangée dans un registre à décalage: sortie en série

17-oct-99

ift1225

5.17

Mémoire morte ROM



17-oct-99

ift1225

5.18

Types de ROM

<u>ROM Type</u>	<u>Coût</u>	<u>Programmabilité</u>	<u>Temps à Programmer</u>	<u>Temps à Effacer</u>
Mask-programmed ROM	Very inexpensive	At factory only	Weeks	N/A
PROM	Inexpensive	Once, by end user	Seconds	N/A
EPROM	Moderate	Many times	Seconds	20 minutes
Flash EPROM	Expensive	Many times	100 μ s	1 s, large block
EEPROM	Very expensive	Many times	100 μ s	10 ms, byte

17-oct-99

ift1225

5.19